

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

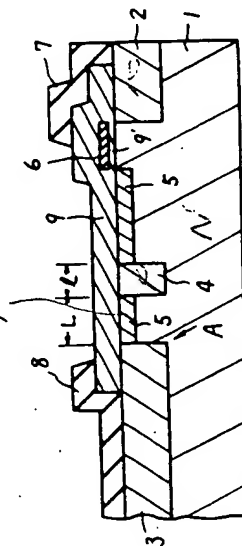
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

- 23.8
- (54) INSULATED GATE TYPE FIELD EFFECT TRANSISTOR
 (11) 56-38867 (A) (43) 14.4.1981 (19) JP
 (21) Appl. No. 54-114184 (22) 7.9.1979
 (71) HITACHI SEISAKUSHO K.K. (72) TAIKI OKABE(3)
 (51) Int. Cl.³ H01L29/78, H01L29/08

PURPOSE: To obtain an MISFET having the withstanding voltage of 400~600V or more, by forming an impurity concentration region, which is deeper than a resistor region, in the vicinity of the drain region in the resistor layer for alleviating the electric field concentration, extending to a gate electrode from a drain.

CONSTITUTION: On an N type semiconductor substrate 1, are formed a P type source region 2, a P type drain region 3, a P type low impurity-concentration region 5, a gate electrode 6, a source electrode 7, a drain electrode 8, and insulating films 9 and 9'. In the region 5, is provided a P type impurity region 4 for alleviating the concentration of the electric field at the tip A of the region 3. The distance L between the regions 3 and 4 is set so that the depletion layers extending from the regions 3 and 4 are overlapped each other.



257/409

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—38867

⑬ Int. Cl.³
H 01 L 29/78
29/08

識別記号

庁内整理番号
6603—5 F
7514—5 F

⑭ 公開 昭和56年(1981)4月14日

発明の数 1
審査請求 有

(全 5 頁)

⑮ 絶縁ゲート形電界効果トランジスタ

⑯ 発明者 吉田功

⑰ 特 願 昭54—114184

⑱ 出 願 昭54(1979)9月7日

⑲ 発明者 岡部健明

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑳ 発明者 越智鹿之

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

㉑ 発明者 永田穰

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

㉒ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

㉓ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 絶縁ゲート形電界効果トランジスタ

特許請求の範囲

1. 第1導電形の半導体基体に互いに離れて形成された第2導電形のソース、ドレイン領域と、該ソース、ドレイン領域間の前記半導体基体表面上の前記ドレイン領域から離れた位置に絶縁膜を介して設けられたゲート電極と、前記ドレイン領域から前記ゲート電極下のチャンネル領域に到達する第2導電形の低不純物層とを有する絶縁ゲート形電界効果トランジスタにおいて、前記ドレイン領域に近接して前記低不純物層内に、前記低不純物層の不純物濃度より高く、前記低不純物層より深い第2導電形の不純物領域を設けてなることを特徴とする絶縁ゲート形電界効果トランジスタ。
2. 前記基体の半導体の誘電率をε、前記基体の不純物濃度をN、電気量をq、ドレイン接合の実質降伏電圧をV_Aとしたとき、前記不純物

(1)

領域と前記ドレイン領域との距離Lは、

$$L \leq 2 \left\{ \frac{2 \epsilon q}{q N} \cdot V_A \right\}^{\frac{1}{2}}$$

であることを特徴とする特許請求の範囲第1項記載の絶縁ゲート形電界効果トランジスタ。

3. 前記ドレイン領域は前記ソース領域に囲まれてなり、前記低不純物層、前記不純物領域も前記ドレイン領域の全周を囲むことを特徴とする特許請求の範囲第1項記載の絶縁ゲート形電界効果トランジスタ。
4. 前記不純物領域は前記ドレイン領域の一部に對向して設けられた島状領域であることを特徴とする特許請求の範囲第1項記載の絶縁ゲート形電界効果トランジスタ。
5. 前記不純物領域は前記ドレイン領域と同程度の不純物濃度、深さを有することを特徴とする特許請求の範囲第1項記載の絶縁ゲート形電界効果トランジスタ。

発明の詳細な説明

(1) 発明の利用分野

(2)

本発明は、絶縁ゲート形電界効果トランジスタに関する。さらに詳しくは、本発明は高耐圧、すなわち高ドレイン耐圧の絶縁ゲート形電界効果トランジスタに関するものである。

(2) 従来技術

絶縁ゲート形電界効果トランジスタ（以下、MISFET と略称）は、高集積密度、低消費電力デバイスとして、これまで主にデジタル用IC、LSIの構成要素として発展してきた。そのためMISFETの特性向上の開発は、主として高集積密度、低消費電力化、さらに高速化が中心に進められ、高耐圧化、高出力化に関しては十分な改良がなされていない。

ところで、MISFET単体としての性能上の主な特長は、高入力インピーダンス、自乗特性、電流の負の温度係数を有している点にある。これ等の特長は、MISFETのアナログ回路への応用においてより発揮できるものである。アナログ回路に適用する場合、MISFETの高耐圧化、高出力化が重要な問題点である。

(3)

耐圧（ドレイン耐圧によつて決つていた）を数百Vと十倍以上高めることができた。

しかしながら、第1図の素子構造により、300Vクラスの高耐圧MISFETを実現できたが、スイッチング・レギュレータ等に用い得るパワーMISFETとしては、まだ十分な高耐圧素子とはなっていない。産業上の利用価値の高い高耐圧MISFETとしては、400～600V以上の高耐圧化を達成する必要があるが、第1図の素子構造のままでは、これ程の高耐圧化を実現することはできない。

(3) 発明の目的

本発明は、第1図に示した従来の高耐圧MISFETの構造をベースにした上で、さらに改良を加えることにより、400～600V、又はそれ以上の耐圧を有するMISFETを実現することを目的とするものである。

(4) 発明の総括説明

MISFETのドレイン耐圧は、ゲート電極端付近の半導体基体内部の電界集中により制限される

(5)

高耐圧MISFETとしては、第1図に示す素子構造が知られている（D. M. Eib and H. G. Dill : IEDM21-4 (1971)）。

第1図の素子は、オフセットゲート構造とイオン打込み技術を用いて高耐圧化を実現したMISFETである。第1図において、Nチャネル形を例にとつて説明すれば、11はP形半導体基板（不純物濃度 $10^{14} \sim 10^{16} \text{ cm}^{-3}$ ）、12および13はそれぞれ高濃度N形不純物領域からなるソース、およびドレイン領域（不純物濃度 $10^{18} \sim 10^{21} \text{ cm}^{-3}$ ）、15はゲート電極、16および17はそれぞれソース電極およびドレイン電極、18はゲート絶縁膜である。14はゲート電極15のドレイン13側の端部における電界の集中を緩和し、ドレイン耐圧を高め素子の高耐圧化を実現するために、ドレイン13からゲート電極15の端部まで延びて形成されたN形の低不純物濃度層、すなわち抵抗層である（例えば不純物濃度 $1.5 \sim 2.5 \times 10^{13} / \text{cm}^3$ ）。この素子構造により、従来たかだか数十Vと低いMISFETの

(4)

とともに、ドレイン領域と半導体基体間のPN接合耐圧によつても制限を受ける。前者は第1図の素子構造により解決され、300V程度の高耐圧MISFETが実現できる。本発明は、さらに、後者のドレイン領域と半導体基体間のPN接合耐圧を改善することにより、500V程度もしくはそれ以上の高耐圧MISFETを実現するものである。

かかる目的を達成するため、本発明のMISFETにおいては、第1図のMISFETにおいて、抵抗層14中のドレイン領域13の近傍に、ドレイン領域と同一導電形で、抵抗層14よりも不純物濃度の高い、好ましくはドレイン領域と同程度の不純物濃度で、抵抗層14よりも深い不純物領域を設けることを骨子とする。

さらに、本発明のMISFETにおいては、抵抗層14によつてドレイン領域13を囲むとともに、該抵抗層中にドレイン領域に近接して設けられたドレインと同一導電形の上記不純物領域によつてドレイン領域をとり囲む構造をとることによつて、ドレイン耐圧を一層向上させることができる。

(6)

(5) 実施例

以下、本発明を実施例を参照して詳細に説明する。

第2図、第3図は本発明の高耐圧MISFETの実施例を説明するための図面で、第2図は部分平面図、第3図は部分断面構造図である。第2図、第3図において、1はN形半導体基板、2はP形ソース領域、3はP形ドレイン領域、5はP形不純物濃度領域、6はゲート電極、7、8は各々ソース電極、ドレイン電極、9は絶縁膜、9'はゲート絶縁膜である。ここでP形ドレイン3とN形基板1で形成されるPN接合の耐圧は、領域3の先端A部の曲率により決まり、その値は平面状PN接合耐圧の値よりも低くなっている。そこで第2図、第3図に示すように、P形不純物領域4を形成し、領域3と領域4間の距離Lを適当に設計すれば、領域3の先端部Aの電界集中を緩和することができる。つまりドレインに高電圧が印加された状態において、領域3および領域4から延びる空乏層が互いに交わるように距離Lを設定す

(7)

て述べた領域4が無い場合のMISFETのドレイン耐圧は380Vで、本発明によつて30%以上の耐圧改善が可能となつた。第2、3図の実施例では、領域4は、ドレイン領域3を囲む様に環状に1ヶだけ設けたが、これを2重、3重と増していけば、さらにドレイン耐圧が改善されることも確認されている。

第4図は、本発明の他の実施例を説明するための図である。高耐圧、大電流MISFETでは、ゲート周辺長を大きくするため、第4図に示すようなインターデジタル形構造が採用される。第4図において、ドレイン領域3は、3'のように長方形の張り出し部分があり、その幅Cも狭くなっている。このようなパターン形状を有する領域3'を不純物の熱拡散などで形成すると、先端部Bの形状の為、B部の電界集中が著しく、耐圧劣化の原因となる。不純物の拡散深さが浅い場合、あるいは幅Cが狭い程、この影響は著しい。そこで第4図に示すように、領域3'と同一導電形の領域4'を形成すれば、B部の電界集中を緩和し、耐

(9)

特開昭56-38867(3)

れば、領域3の先端A部での降伏は防ぐことが出来、従つて高耐圧化が達成される。ここで距離Lの目安として(1)式を示す。

$$L \leq 2 \left\{ \frac{2 \epsilon_s}{q N_D} \cdot V_A \right\}^{\frac{1}{2}} \quad (1)$$

ϵ_s : 半導体の誘電率

N_D : 半導体基板不純物濃度

q : 電気量

V_A : 領域4が無い従来構造におけるA部の降伏電圧

例えば、第2、3図のPチャネルMISFETで、基板1の不純物濃度 $N_B = 5 \times 10^{14} \text{ cm}^{-3}$ 、ソース・ドレイン領域2、3の不純物濃度 $N_A = 1 \times 10^{18} \text{ cm}^{-3}$ 、深さ $10 \mu\text{m}$ 、低不純物濃度層5の不純物濃度 $N_{AL} = 2 \times 10^{18} \text{ cm}^{-3}$ 、深さ $0.5 \mu\text{m}$ 、長さ $40 \mu\text{m}$ 、チャネル長 $10 \mu\text{m}$ の時 $V_A = 380 \text{ V}$ であり、領域4の深さを $10 \mu\text{m}$ 、不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ として、距離 $L = 14 \mu\text{m}$ 、幅 $24 \mu\text{m}$ としたとき、ドレイン耐圧 500 V が得られた。もちろん、本発明

(8)

圧を改善することが可能である。領域3'と領域4'との距離Lは、前実施例と同様に(1)式で与えられる。本実施例においても、N形Si基板1の不純物濃度 $N_B = 5 \times 10^{14} \text{ cm}^{-3}$ 、P形領域3'の不純物濃度 $N_A = 1 \times 10^{18} \text{ cm}^{-3}$ 、幅 $C = 14 \mu\text{m}$ 、深さ $10 \mu\text{m}$ の第4図に示したMISFETの時、 $V_A = 340 \text{ V}$ であり、領域4'の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、深さ $10 \mu\text{m}$ で $L = 10 \mu\text{m}$ 、 $24 \mu\text{m}$ のとき、ドレイン耐圧 420 V が得られた。

以上述べたように、本発明は高耐圧MISFETのドレイン、基板間耐圧の改善に利用できる。

以下、本発明の高耐圧MISFETの製造方法をNチャネル素子を例にとり示す。

第5図(A)に示す様に、P形シリコン基板1に 130 nm 厚の酸化膜(SiO_2 等)9を形成し、その上にポリシリコン膜を 450 nm の厚さに形成する。このままではポリシリコン層の抵抗は高いので、表面からりんイオンを $2 \times 10^{14} \text{ ケ/cm}^2$ 打込んで、約 $1000 \text{ C} \times 30$ 分間のアニ

(10)

ールを行う。次にゲート電極となるべき部分のポリシリコン6を残して、他をエッチングで除去する。この状態を第5図(A)に示す。次に高耐圧化のためのN形低不純物濃度層を形成する為、りんイオンを酸化膜9を通して打込み、N⁻形領域5を形成する。この時の加速電圧は130keVで、打込まれたイオンドーズは 2×10^{13} ケ/cm²である。次に高温(650℃)にて、CVD (Chemical Vapor Deposition) 法によりSiO₂膜を800nmの厚さに形成し、拡散のマスクとなるべき場所10を残して、他のSiO₂膜を除去する。(第5図(B))。次に、不純物源をPOCL₃とする通常の熱拡散法によつて、25μmの深さに不純物濃度 1×10^{19} cm⁻³のN形領域2, 3, 4を形成する(第5図(C))。領域2はソース、領域3はドレイン、領域4はソース・ドレイン間の島領域として動く。次にSiO₂膜10を除去し、再びりんを含んだSiO₂膜を800nmの厚さに形成し、ソースとドレインのコンタクト部分の窓あけをし、A₁

(11)

特開昭56- 38867(4)

電極を形成する。これらの工程は通常の半導体デバイスと何ら異なる点はない。こうして得られた素子の断面構造は、第3図と同じとなる。

図面の簡単な説明

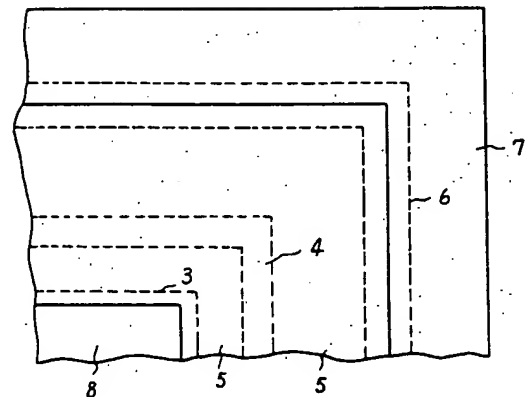
第1図は従来のMISFETの構造を示す断面図、第2図は本発明のMISFETの第1の実施例の素子を示す部分平面図、第3図は本発明のMISFETの第1の実施例の素子を示す部分断面図、第4図は本発明のMISFETの第2の実施例の素子を示す部分平面図、第5図は本発明のMISFETの製造工程の一例を示す素子断面図である。

1…半導体基板、2…ソース領域、3…ドレイン領域、4…ドレイン領域と同一導電形の不純物領域、5…低不純物濃度領域(抵抗層)、6…ゲート電極、7…ソース電極、8…ドレイン電極、9…絶縁膜、9'…ゲート絶縁膜。

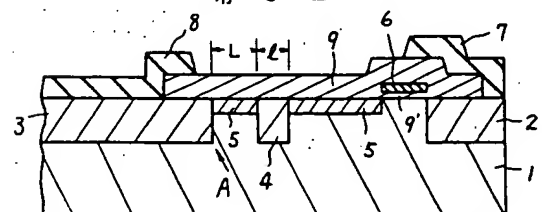
代理人 弁理士 海田利幸

(12)

第2図



第3図



第 5 図

第 4 図

